

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005673

International filing date: 28 March 2005 (28.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-095005
Filing date: 29 March 2004 (29.03.2004)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2004年 3月29日

出願番号 Application Number: 特願2004-095005

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

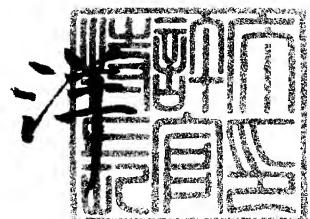
出願人 Applicant(s): ローム株式会社

J P 2004-095005

特許庁長官
Commissioner,
Japan Patent Office

2005年 4月20日

小川



【書類名】 特許願
【整理番号】 PR03-00100
【提出日】 平成16年 3月 29日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H05B 33/26
【発明者】
【住所又は居所】 京都市右京区西院溝崎町 21 番地 ローム株式会社内
【氏名】 阿部 真一
【発明者】
【住所又は居所】 京都市右京区西院溝崎町 21 番地 ローム株式会社内
【氏名】 前出 淳
【発明者】
【住所又は居所】 京都市右京区西院溝崎町 21 番地 ローム株式会社内
【氏名】 藤沢 雅憲
【発明者】
【住所又は居所】 京都市右京区西院溝崎町 21 番地 ローム株式会社内
【氏名】 藤川 昭夫
【特許出願人】
【識別番号】 000116024
【氏名又は名称】 ローム株式会社
【代表者】 佐藤 研一郎
【代理人】
【識別番号】 100079555
【弁理士】
【氏名又は名称】 梶山 信是
【電話番号】 03-5330-4649
【選任した代理人】
【識別番号】 100079957
【弁理士】
【氏名又は名称】 山本 富士男
【電話番号】 03-5330-4649
【手数料の表示】
【予納台帳番号】 061207
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9711313

【書類名】特許請求の範囲

【請求項 1】

被変換データの桁位置に対応してそれぞれ設けられた複数の出力側のトランジスタを有する第1のカレントミラー回路により前記被変換データの桁位置に対応する桁重みに応じたアナログ変換電流を生成するD/A変換回路において、

前記被変換データの下位の桁位置に対応する少なくとも前記出力トランジスタのうちの1つの出力側に直列に設けられた第2のカレントミラー回路と、定電圧バイアス回路とを備え、

前記第2のカレントミラー回路の入力トランジスタに対する出力トランジスタの動作電流比がn:1(ただし nは1以上の整数)に設定され、かつ、前記入力トランジスタおよび前記出力トランジスタの出力電極が前記定電圧バイアス回路により所定の定電圧に設定され、前記出力トランジスタに1以下の桁重みに対応する電流を少なくとも1つの前記下位の桁位置のアナログ変換電流として得るD/A変換回路。

【請求項 2】

前記被変換データの桁位置の上位と下位の桁位置の真ん中に相当する桁位置よりも下位の桁位置に配置される前記第1のカレントミラー回路の複数の前記出力側トランジスタに対応して前記第2のカレントミラー回路がそれぞれ設けられ、nは、1以下の桁重みに対応してそれに選択されている請求項1記載のD/A変換回路。

【請求項 3】

前記第2のカレントミラー回路の前記入力トランジスタおよび前記出力トランジスタは、MOSトランジスタであり、前記定電圧バイアス回路は、それぞれの前記MOSトランジスタの前記出力電極に直列に接続されたMOSトランジスタと、前記出力電極を前記所定の定電圧に設定するために前記MOSトランジスタのゲートにある定電圧を印加する定電圧発生回路とを有する請求項2記載のD/A変換回路。

【請求項 4】

前記入力トランジスタおよび前記出力トランジスタは、MOSトランジスタであり、前記定電圧バイアス回路は、それぞれの前記出力トランジスタの前記出力電極とそれぞれの前記入力トランジスタの前記出力電極とを接続するボルテージフォロアを有する請求項2記載のD/A変換回路。

【請求項 5】

前記被変換データの桁数は、8ビット以上である請求項3または4記載のD/A変換回路。

【請求項 6】

請求項1～5のいずれか1項記載のD/A変換回路の出力電流により有機EL素子を電流駆動する有機EL駆動回路。

【請求項 7】

請求項1～5のいずれか1項記載のD/A変換回路と、このD/A変換回路の出力電流を受けてこれにより駆動され有機EL素子を電流駆動する電流源とを備える有機EL駆動回路。

【請求項 8】

請求項6または7項記載の有機EL駆動回路を有する有機EL表示装置。

【書類名】明細書

【発明の名称】D/A変換回路、有機EL駆動回路および有機EL表示装置

【技術分野】

【0001】

この発明は、D/A変換回路、有機EL駆動回路および有機EL表示装置に関し、詳しくは、低電圧駆動が可能で、高精度でかつIC化した場合に専有面積を抑えることが可能なカレントミラー回路を利用したD/A変換回路に関する。さらには、カレントミラー回路を利用したこのD/A変換回路により表示データに応じた駆動電流を生成して有機ELパネルの端子ピンに出力するカラムライン（有機EL素子の陽極側ドライブライン、以下同じ）の電流駆動回路において、表示装置の輝度ばらつきや輝度むらを抑えることでき、 γ 補正が容易な有機EL駆動回路に関する。

【背景技術】

【0002】

携帯電話機、PHS、DVDプレーヤ、PDA（携帯端末装置）等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（132×3）の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの駆動回路として、カラムピン対応にD/A変換回路（以下D/A）を設けたこの出願人の特開2003-234655号の出願がある（特許文献1）。これは、カラムピン対応のD/Aが表示データと基準駆動電流とを受けて、基準駆動電流に従って表示データをD/A変換してピン対応にカラム方向の駆動電流あるいはこの駆動電流の元となる電流を生成する。

【特許文献1】特開2003-234655号公報

【0003】

消費電力を低減するために、前記のD/Aの電源電圧は、例えば、DC3V程度と低く抑えられ、最終段の出力段電流源の電源電圧だけを、例えば、DC15V～20Vとし、D/Aが基準駆動電流を受けて有機EL素子（以下OEL素子）の駆動電流の元となる電流を生成して出力段電流源を駆動する。これにより電流駆動回路全体の消費電力を低く抑えている。

しかし、前記のD/Aは、IC化した場合にピン対応に設ける必要があるので、その占有面積を抑えるために、現在のところ、4ビット～6ビット程度のものとなっている。

【発明の開示】

【発明が解決しようとする課題】

【0004】

4ビット～6ビット程度のD/Aを使用して出力電流源段を駆動し、OEL素子の駆動電流すると、D/Aの電流変換精度が悪いために、カラムピン対応の駆動電流にはらつきを生じ、それが表示装置の輝度ばらつきや輝度むらとなつた現れてくる問題がある。

ところで、有機EL表示パネルの各OEL素子は、ブラウン管と同様に表示データの値に対して輝度が直線的な関係ではなく、R, G, Bの材料による素子特性に応じた曲線になる。そこで、有機EL表示装置を使用する周囲の環境が変わると画質が変化し、有機EL表示パネルが高解像度になればなるほど、この画質の変化が目立ってくる。そのため γ 補正をすることが必要になる。通常、 γ 補正をする場合には、ドライバ等でソフト的にD/A変換回路に設定する表示データを補正することが考えられるが、4ビット～6ビット程度のD/Aでは、この γ 補正ができない問題がある。そのため γ 補正回路をピン対応に設けることになるが、 γ 補正回路の増加により電流駆動回路の占有面積が増える問題がある。

この発明の目的は、このような従来技術の問題点を解決するものであって、低電圧駆動が可能で、高精度でかつIC化した場合に専有面積を抑えることが可能なD/Aを提供することにある。

この発明の他の目的は、表示装置の輝度ばらつきや輝度むらを抑えることでき、 γ 補正

が容易な有機EL駆動回路および有機EL表示装置を提供することにある。

【課題を解決するための手段】

【0005】

このような目的を達成するためのこの発明のD/A、有機EL駆動回路および有機EL表示装置の構成は、被変換データの桁位置に対応してそれぞれ設けられた複数の出力側のトランジスタを有する第1のカレントミラー回路により被変換データの桁位置に対応する桁重みに応じたアナログ変換電流を生成するD/A変換回路において、

被変換データの下位の桁位置に対応する出力トランジスタの1つの出力側に直列に設けられた第2のカレントミラー回路と、定電圧バイアス回路とを備えていて、第2のカレントミラー回路の入力トランジスタに対する出力トランジスタの動作電流比がn:1(ただし nは1以上の整数)に設定され、かつ、入力トランジスタおよび出力トランジスタの出力電極が定電圧バイアス回路により所定の定電圧に設定され、出力トランジスタに1以下の桁重みに対応する電流を少なくとも1つの下位の桁位置のアナログ変換電流として得るものである。

【発明の効果】

【0006】

この発明は、第2のカレントミラー回路を第1のカレントミラー回路の出力側トランジスタに直列に設けて1以下の桁重みに対応するアナログ変換電流を得るようにしているので、最大桁位置の重み値に対応するアナログ変換電流を生成する出力側トランジスタの位置を低い桁位置側にシフトすることができる。この場合、第1のカレントミラー回路の出力側トランジスタで発生する電流値は、低い位桁位置側にシフトした分だけ少なくなるが、それは、入力側トランジスタの駆動電流をその分大きくすれば済む。

最大桁位置の重み値は、1つ手前の桁に対して2の累乗分で増加するので、これに対応してアナログ変換電流を生成する出力側トランジスタの数も増加するが、1以下の桁重みは、出力側トランジスタに直列接続された第2のカレントミラー回路により2の累乗分の1に分配した電流を生成すればよいので、2の累乗分で増加する最大桁位置よりもアナログ変換電流を生成する出力側トランジスタの数が少なくて済む。これによりD/Aを構成するトランジスタセル数を低減でき、ICにおけるD/Aの専有面積を低減できる。

さらに、この発明は、第2のカレントミラー回路の入力トランジスタと出力トランジスタの出力電極、例えば、ソースあるいはドレインのいずれかの電圧を等しくするバイアス回路を設けているので、各桁の変換電流を高い精度で生成することができる。またさらに、1以下の桁重みに対応する出力側トランジスタの出力側には1以下の桁重みよりも大きな電流が流れるので、この出力側トランジスタの出力側の動作電圧を低く抑えることができる。もちろん、1を越える桁重みに対応する出力側トランジスタには大きな電流が流れる。これによりこのD/Aの低電圧駆動が可能になる。

その結果、低電圧駆動が可能で、高精度でかつIC化した場合に専有面積を抑えることが可能なD/Aを実現できる。さらに、このD/A変換回路を用い、これにより表示データに応じた駆動電流を生成して有機ELパネルの端子ピンに出力するカラムラインの電流駆動回路は、表示装置の輝度ばらつきや輝度むらを抑えることができる。そして、この場合のD/Aとして変換ビット数を、例えば、8ビットか、それ以上にすることでピン対応による補正が容易な電流駆動回路を実現でき、かつ、電流駆動回路の占有面積の増加を抑えることができる。

【発明を実施するための最良の形態】

【0007】

図1は、この発明のD/Aを適用した一実施例の有機EL駆動回路のブロック図、図2は、他の実施例のブロック図、図3は、アクティブマトリックス形の有機EL駆動回路のブロック図である。

図1において、10は、有機EL駆動回路のカラムドライバであって、11は、そのD/A、12は、基準駆動電流 I_p を発生する定電流源、13は、定電圧バイアス回路、14は、ピーケ電流生成回路、15は、コントロール回路、そして、16は表示データを記

憶するレジスタである。

D/A 1 1は、Nチャネルの入力側トランジスタT_{Na}、T_{Np}とNチャネルの出力側トランジスタT_{Nb}～T_{Ni}とによるカレントミラー回路で構成される。入力側トランジスタT_{Np}は、入力側トランジスタT_{Na}に並列に設けられている。

各出力側トランジスタT_{Nb}～T_{Ni}のドレインは、8ビットデータの各桁対応にアナログ変換電流をそれぞれ発生するものであって、各出力側トランジスタT_{Nb}～T_{Ni}のソースとグランドGND間にスイッチ回路として接続されたNチャネルMOSFETトランジスタT_{rb}～T_{ri}とが設けられている。そして、トランジスタT_{rb}～T_{ri}のゲートがそれぞれ表示データの各入力端子D₀～D₇に接続されている。すなわち、各トランジスタT_{rb}～T_{ri}は、スイッチ回路となっていて、レジスタ17からの送出される表示データに応じてそのON/OFFが決定される。表示データは、コントロール回路15のラッチバ尔斯LPに応じてMPU等からレジスタ17にセットされる。

なお、各Nチャネルの入力側トランジスタT_{Na}、T_{Np}、T_{Nb}～T_{Ni}、T_{rb}～T_{ri}のバックゲートは、グランドGNDに接続されている。

【0008】

入力側トランジスタT_{Na}のソースは、グランドGNDに接続され、入力側トランジスタT_{Np}のソースは、スイッチ回路SWを介してグランドGNDに接続されている。そして、各トランジスタT_{Na}、T_{Np}、T_{Nb}～T_{Ni}のゲートは共通に接続され、さらにトランジスタT_{Na}、T_{Np}のゲートとドレインとがD/A 1 1の入力端子11aに接続されることでダイオード接続され、これらトランジスタがこのカレントミラー回路の入力側トランジスタとなっている。

なお、スイッチ回路SWは、コントロール回路15からインバータ15aを介して制御バ尔斯CONTを受けてON/OFFされる。

表示データD₀～D₂に対応する下位3桁位置の各出力側トランジスタT_{Nb}～T_{Nd}のドレインは、上流に設けられたカレントミラー回路111、112、113、出力ライン114を介してそれぞれ出力端子11bに接続される。表示データD₃～D₇に対応する中・上位4桁位置の各出力側トランジスタT_{Ne}～T_{Ni}のドレインは、出力ライン114を介して出力端子11bに接続されている。出力端子11bは、出力段電流源1に入力に接続され、これを電流駆動する。出力段電流源1は、有機ELパネルの端子ピン2を介してOEL素子3の陽極に接続され、これを電流駆動する。なお、OEL素子3の陰極は接地されている。

【0009】

各トランジスタT_{Na}、T_{Np}、T_{Nb}～T_{Ni}の脇に示す、×1、×2、×4…の数字は、パラレルに接続されたトランジスタのセル数（以下セル数）を示している。×1の場合にパラレル接続はない。このセル数に応じて出力側トランジスタT_{Nb}～T_{Ni}は、それぞれの出力電流が表示データD₀～D₇の桁重みに対応するアナログ変換電流を発生する。

各出力側トランジスタT_{Nb}～T_{Nd}については、カレントミラー回路111、112、113が上流に設けられている関係で、桁重みが1/8、1/4、1/2のアナログ変換電流値を発生する。

すなわち、このD/A 1 1は、表示データD₀～D₇の桁重みの中央位置に当たる4桁目（D₃）に対応する出力トランジスタT_{Ne}を×1の桁として、これより手前の各桁（D₀～D₂）に対応する出力トランジスタT_{Nb}～T_{Nd}の位置は、2の累乗の値が1の除数とされて順次選択された桁重みとなっている。また、これより後ろの各桁の出力位置は、2の累乗の値の桁重みとされて順次選択された桁重みとなっている。

【0010】

なお、この4桁目（D₃）は、表示データを8ビットとすれば、その桁位置の上位と下位の真ん中の桁位置になる。そこで、1以下の桁重みは、この真ん中に相当する桁位置を1としてこれよりも下位の桁位置（D₀～D₂）に対応する出力側トランジスタT_{Nb}～T_{Nd}に割当てられている。

これにより8ビットの最上位桁の桁重み128を下位桁の桁重みにシフトすることがで

きる。最大桁位置の重み値 128 は、1 つ手前の桁 64 に対して 2 の累乗分の値で増加するが、1 以下の桁重みは、出力側トランジスタに直列接続されたカレントミラー回路による 2 の累乗分の 1 で分配された電流となるので、例えは、1 桁シフトをした場合を例とすれば、最上位桁のトランジスタセル数が 64 個となり、64 個の低減となる。手前の 1/2 の桁重みのトランジスタセル数は、カレントミラー回路としてはトランジスタが 2 個増加し、定電圧バイアス回路 13 としてトランジスタが 2 個増加し、総計 4 個増加するだけである。

【0011】

カレントミラー回路 111 は、N チャネルの入力側トランジスタ QN1 と N チャネルの出力側トランジスタ QN2 によるカレントミラー回路で構成され、トランジスタ QN1 のドレインは、トランジスタ TN1 を介して電源ライン +VDD に接続され、トランジスタ QN2 のドレインは、トランジスタ TN2、出力ライン 114 を介して出力端子 11b に接続されている。トランジスタ QN1、QN2 のソース側は、共通に出力側トランジスタ TNb のドレインに接続されている。

カレントミラー回路 112 は、N チャネルの入力側トランジスタ QN3 と N チャネルの出力側トランジスタ QN4 によるカレントミラー回路で構成され、トランジスタ QN3 のドレインは、トランジスタ TN3 を介して電源ライン +VDD に接続され、トランジスタ QN4 のドレインは、トランジスタ TN4、出力ライン 114 を介して出力端子 11b に接続されている。トランジスタ QN3、QN4 のソース側は、共通に出力側トランジスタ TNb のドレインに接続されている。

カレントミラー回路 113 は、N チャネルの入力側トランジスタ QN5 と N チャネルの出力側トランジスタ QN6 によるカレントミラー回路で構成され、トランジスタ QN5 のドレインは、トランジスタ TN5 を介して電源ライン +VDD に接続され、トランジスタ QN6 のドレインは、トランジスタ TN6、出力ライン 114 を介して出力端子 11b に接続されている。トランジスタ QN5、QN6 のソース側は、共通に出力側トランジスタ TNb のドレインに接続されている。

なお、トランジスタ QN1～QN6 のゲートは、共通に電源ライン +VDD に接続されている。
。

【0012】

定電圧バイアス回路 13 は、定電圧回路 13a と N チャネルのトランジスタ TN1～TN6 とからなる。

トランジスタ TN1～TN6 のゲートは、電圧 Va の定電圧回路 13a にライン 115 を介して接続されている。これにより、トランジスタ TN1～TN6 の下流に接続されるトランジスタ QN1～QN6 のドレインは、電圧 Va - Vgs となり、実質的に等しくなる。なお、Vgs は、トランジスタ QN1～QN6 のゲート-ソース間電圧であり、0.7V 程度である。カレントミラー回路であるので、トランジスタ QN1～QN6 のゲート電圧は等しい。

その結果、カレントミラー回路 111～113 を構成する各トランジスタのドレイン-ソース間の電流値をトランジスタセル単位で等しくでき、変換電流精度を向上することができる。

【0013】

トランジスタ QN1 とトランジスタ QN2 は、パラレルに接続されるセル数の比が 7 : 1 である。これにより、これらトランジスタのチャネル幅（ゲート幅）の比が 7 : 1 に設定されている。その結果、下流の出力側トランジスタ TNb に流れる電流の 1/8 の電流が出力ライン 114 からシンクされる。

このトランジスタのチャネル幅の比は、カレントミラー回路においては入力トランジスタと出力トランジスタとの動作電流比を決定している。

トランジスタ QN3 とトランジスタ QN4 は、パラレルに接続されるセル数の比が 3 : 1 である。これにより、下流の出力側トランジスタ TNc に流れる電流の 1/4 の電流が出力ライン 114 からシンクされる。

トランジスタ QN5 とトランジスタ QN6 は、パラレルに接続されるセル数の比が 1 : 1 で

ある。これにより、下流の出力側トランジスタTNdに流れる電流の1/2の電流が出力ライン114からシンクされる。

以上により出力端子11bからシンクする電流の桁重みが1/8, 1/4, 1/2となり、これらの電流がそれぞれの桁位置に発生する。このとき、下流のトランジスタTNb～TNdに流れる電流は、カレントミラー回路111～113の動作電流であり、それは、4桁目(D3)のトランジスタTNeに流れる電流と同じ電流値である。これによりトランジスタTNb～TNdのドレイン～ソース間の電圧を通常よりも低くすることができる。しかも、それは、トランジスタTNaとトランジスタTNpに流れる駆動電流に対応した値となるので、精度が高い。

その結果、トランジスタTNb～TNeに流れる電流を実質的に等しくなり、4桁目(D3)からその下の下位桁の変換電流精度が向上する。また、上位桁もパラレル接続セル数が16個と少ない数で留まるので、その分、変換電流精度が向上する。

【0014】

入力側のトランジスタTNaとトランジスタTNpは、パラレルに接続されるセル数の比が1:9である。これにより、これらトランジスタのチャネル幅(ゲート幅)の比が1:9に設定されている。

定電流源12は、例えば、+3V程度の低い電源ライン+VDDに接続されて、これの下流に設けられたトランジスタTNaとトランジスタTNpに入力端子11aを介して駆動電流Ipを送出する。

この定電流源12は、基準電流分配回路の出力電流源に対応している。基準電流分配回路は、カレントミラー回路で構成される入力側トランジスタが基準電流を受けて、ピン対応に並列に設けられた多数の出力側トランジスタにミラー電流として基準電流を生成し、ピン対応に分配する回路である。このとき分配された基準電流は、ピーク電流を発生する駆動電流値Ipとして各出力側トランジスタから出力される。したがって、この電流源12は、通常、1個のPチャネルのMOSトランジスタとされ、そのソースが電源ライン+VDDに接続され、そのドレインが入力端子11aに接続されたものとなる。

【0015】

図1に示すように、トランジスタTNpの下流のスイッチ回路SWは、コントロールパルスCONTの反転信号をインバータ15aを介して受ける。コントロール回路15は、OEL素子3の駆動初期に一定期間HIGHレベル("H")となるコントロールパルスCONTを発生する。これにより駆動初期はスイッチ回路SWがOFFとなって、ピーク電流が発生し、その後、コントロールパルスCONTが停止してLOWレベル("L")になることでスイッチ回路SWがその反転信号"H"を受けてONになる。これにより駆動電流値Ipは、トランジスタTNpに分流されてトランジスタTNaとトランジスタTNpとに流れ、入力側の駆動電流がIp/10になって、OEL素子3の駆動電流は、ピーク電流から定常電流に落ちる。

以上のように、図1に示すD/A11の回路は、カレントミラー回路の出力側トランジスタTNb～TNdが出力端子11bからシンクする電流が桁重み1/8, 1/4, 1/2でありながら、桁重み1の4桁目(D3)の出力トランジスタTNeと実質的に等しい電流にできる。しかも、変換ビット数が8ビットでありながら最大桁の重みは、×16で済む。これにより、4桁目(D3)を越える上位桁の出力電流のはらつきも抑えることができる。

【0016】

図2は、さらに他の実施例のD/A110の回路であって、定電圧バイアス回路13に変えてボルテージフォロア(バッファアンプ)130を設けたものである。

カレントミラー回路111～113の各カレントミラー回路の入力側トランジスタQN1, QN3, QN5の駆動電流は、電源ライン+VDDではなく、ボルテージフォロア130を介して供給される。トランジスタTN1～TN6は削除されることによりトランジスタ数がさらに低減されている。

ボルテージフォロア130は、差動アンプ(例えは、オペアンプ)で構成され、その(

+) 入力端子が出力ライン114に接続され、その(-)入力端子が出力端子に接続されてフィードバックされ、この出力端子がトランジスタQN1, QN3, QN5のドレインにライン115を介して接続されている。

その他の構成は、図1の実施例と同様であるので説明を割愛する。

この実施例では、ボルテージフォロア130によりこの出力電圧を出力端子11bの電圧と等しくなるように設定する。これにより、トランジスタQN1～QN6のドレインの電圧を出力端子11bの電圧にする。その結果、カレントミラー回路111～113の入力側トランジスタと出力側トランジスタのドレイン電圧が実質的に等しくなり、ゲート電圧は電源ライン+VDDの電圧であって、カレントミラー回路として等しいので、動作電流誤差が低減され、電流変換精度が向上する。

このD/A110の利点は、パッシブマトリックス形の有機ELパネルのように、図1のD/Aで出力端子11aに出力段電流源1を設けた場合に電流変換精度が向上させることができる。

すなわち、電源ライン+VDD(例えは3V)より高い電圧、例えは、15V～20Vの電源電圧で動作する出力段電流源1を駆動する場合、出力端子11aの出力電流値に応じて出力ライン114の電位が数V程度まで変動するが、この実施例では、それを数mV～数十mV程度の範囲に抑えることができる。

【0017】

図1の実施例においてトランジスタQN3とトランジスタQN4は、パラレルに接続されるセル数の比が3:1であり、トランジスタQN5とトランジスタQN6は、パラレルに接続されるセル数の比が1:1である。しかし、この実施例では、トランジスタQN3とトランジスタQN4のセル数の比を2:6とし、トランジスタQN5とトランジスタQN6のセル数の比を4:4としている。このようにすれば、すべてのセルトランジスタセル回路に流れる電流を $I_p/8$ とすることができる。ただし、 I_p は、入力側トランジスタセル回路のピーク電流発生時の駆動電流値である。定常状態での駆動電流値は、 $I_p/10$ である。

これにより各出力側トランジスタTNb～TNeのドレイン側の電位を実質的に等しくすることが可能になり、出力側トランジスタTNb～TNeの出力電流(アナログ変換電流)の精度をさらに向上させることができる。

【0018】

図3は、アクティブマトリックス形の有機ELパネルの具体例であって、D/A110(あるいはD/A11)の出力端子11aが電流シンクの出力となっているので、出力段電流源1を削除して、D/Aの出力端子11aを端子ピン2に直接接続してアクティブマトリックス形の有機ELパネル101のピクセル回路4のデータX(X1～Xn)に端子ピン2を介して出力端子11aを接続し、アクティブマトリックス形の有機ELパネルを駆動する実施例である。

100は、D/A110が端子ピン2に対応して設けられた電流駆動回路であり、MPU6により制御される。コントロール回路15は、MPU6により制御されてタイミング制御信号T1、T2を書き制御回路5に送出する。

【0019】

図3に示すように、ピクセル回路(表示セル)4は、X、Yのマトリックス配線(データ線X1, … Xn, 走査線Y1, Y2, …)の交点に対応して設けられていて、このピクセル回路4内には各データ線と各走査線Y1との各交点にソース側とゲートが接続されたNチャネルMOSトランジスタTr1が配置されている。OEL素子4aは、ピクセル回路4に設けられたPチャネルMOSの駆動トランジスタTr2により駆動される。トランジスタTr2のソース側ゲート間にコンデンサCが接続されている。トランジスタTr2のソースは、例えは、+7V程度の+Vcc電源ラインに接続され、そのドレイン側はOEL素子4aの陽極に接続されている。OEL素子4aの陰極は、ロー側走査回路7のスイッチ回路7aに接続され、このスイッチ回路7aを介してグランドGNDに接続されている。

【0020】

ピクセル回路4において、トランジスタTr1とトランジスタTr2との間にはPチャネ

ルMOSトランジスタTr3とNチャネルMOSトランジスタTr4が設けられている。トランジスタTr3は、トランジスタTr2を出力側トランジスタとしてカレントミラー回路4bを構成する入力側トランジスタとなっていて、これの下流にトランジスタTr1のドレンが接続され、トランジスタTr3とトランジスタTr1の接続点とカレントミラー回路4bの共通ゲート（トランジスタTr2のゲート）との間にトランジスタTr4のソースとドレンが接続されている。

トランジスタTr1のゲートは、走査線Y1（書込線）を介して書込制御回路5に接続され、トランジスタTr4のゲートは、走査線Y2（イレーズ線）を介して書込制御回路5に接続されている。書込制御回路5は、制御信号T1、T2に応じて走査線Y1（書込線）と走査線Y2（イレーズ線）とを駆動走査し、これら走査線が“H”になることでトランジスタTr1とトランジスタTr4とがともにONとなる。これにより所定の駆動電流でトランジスタTr2が駆動されるとともにコンデンサCに充電されて所定の駆動電圧がコンデンサCに保持される。その結果、コンデンサCに駆動電流値が書込まれる。このとき、コンデンサCはこれを電圧値として記憶する。なお、コントロール回路15からの制御パルスCONTに応じて、このコンデンサCには充電初期にピーク電流が流される。

MOSトランジスタTr2は、この記憶されたコンデンサCの電圧に応じて電流駆動されることになる。このときコンデンサCに記憶された電圧は、書込時の駆動電流に対応する電圧値となり、OEL素子4aは、書込時の駆動電流に対応した電流値で電流駆動される。トランジスタTr2とトランジスタTr3のチャネル幅が等しいときには、書込み電流と同じ駆動電流を発生させることができる。

【0021】

各実施例において、カレントミラー回路111～113は、D/Aを構成するカレントミラー回路の出力側トランジスタTNb～TNiの上流側に設けているが、これらトランジスタの下流側に設けられていてもよいことはもちろんである。

【産業上の利用可能性】

【0022】

以上説明してきたが、実施例では、NチャネルMOSトランジスタを主体としたD/Aを示しているが、このD/Aは、PチャネルMOSトランジスタあるいはこれとNチャネルMOSトランジスタとを組み合わせた回路であってもよいことはもちろんである。さらに、これらトランジスタは、バイポーラトランジスタであってもよいことはもちろんである。なお、その場合には、トランジスタのチャネル幅（ゲート幅）の比は、エミッタ面積比になる。

【図面の簡単な説明】

【0023】

【図1】図1は、この発明のD/Aを適用した一実施例の有機EL駆動回路のプロック図である。

【図2】図2は、他の実施例のプロック図である。

【図3】図3は、アクティブマトリックス形の有機EL駆動回路のプロック図である。

【符号の説明】

【0024】

1…出力段電流源、2…端子ピン、

3, 4a…OEL素子、4…ピクセル回路、

5…書込制御回路、6…MPU、7…ロー側走査回路、

17…ピン、10…カラムドライバ、11…D/A変換回路（D/A）、

12…定電流源、13…定電圧バイアス回路、

13a…定電圧回路、

14…ピーク電流生成回路、

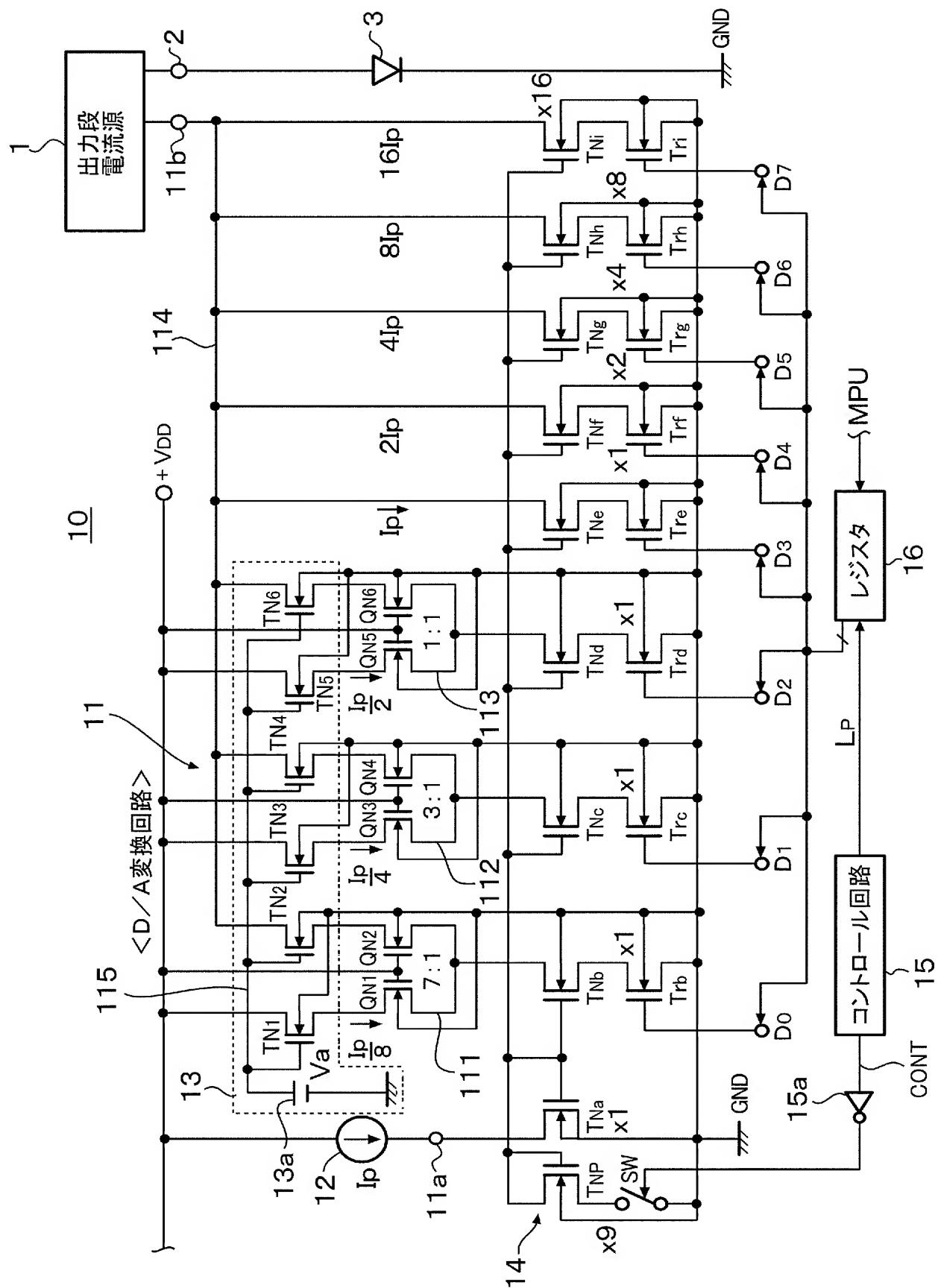
15…コントロール回路、15a…インバータ、

1 6 , 1 7 … レジスタ、

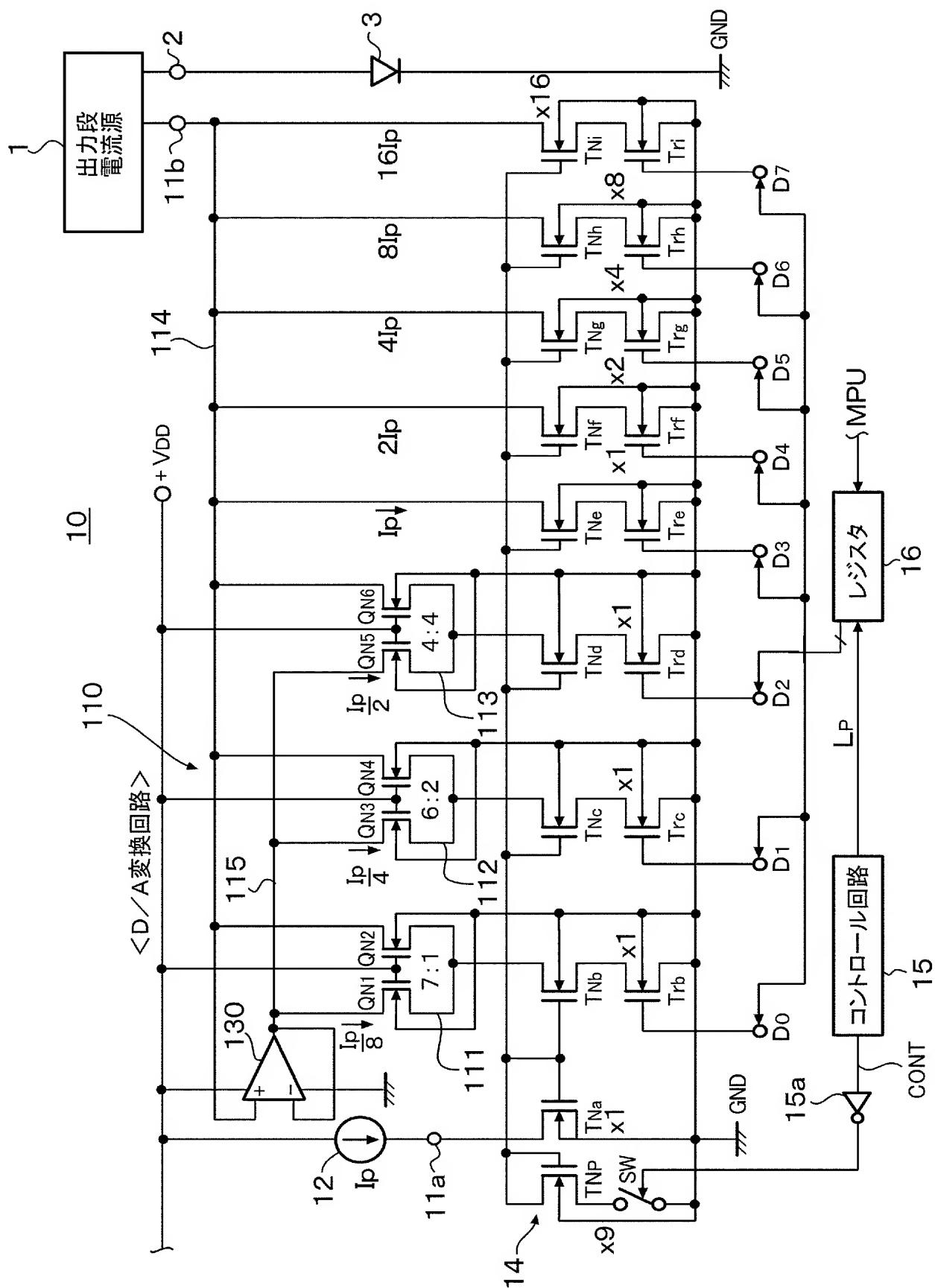
1 1 1 ~ 1 1 3 … カレントミラー回路、

1 3 0 … ボルテージフォロア、

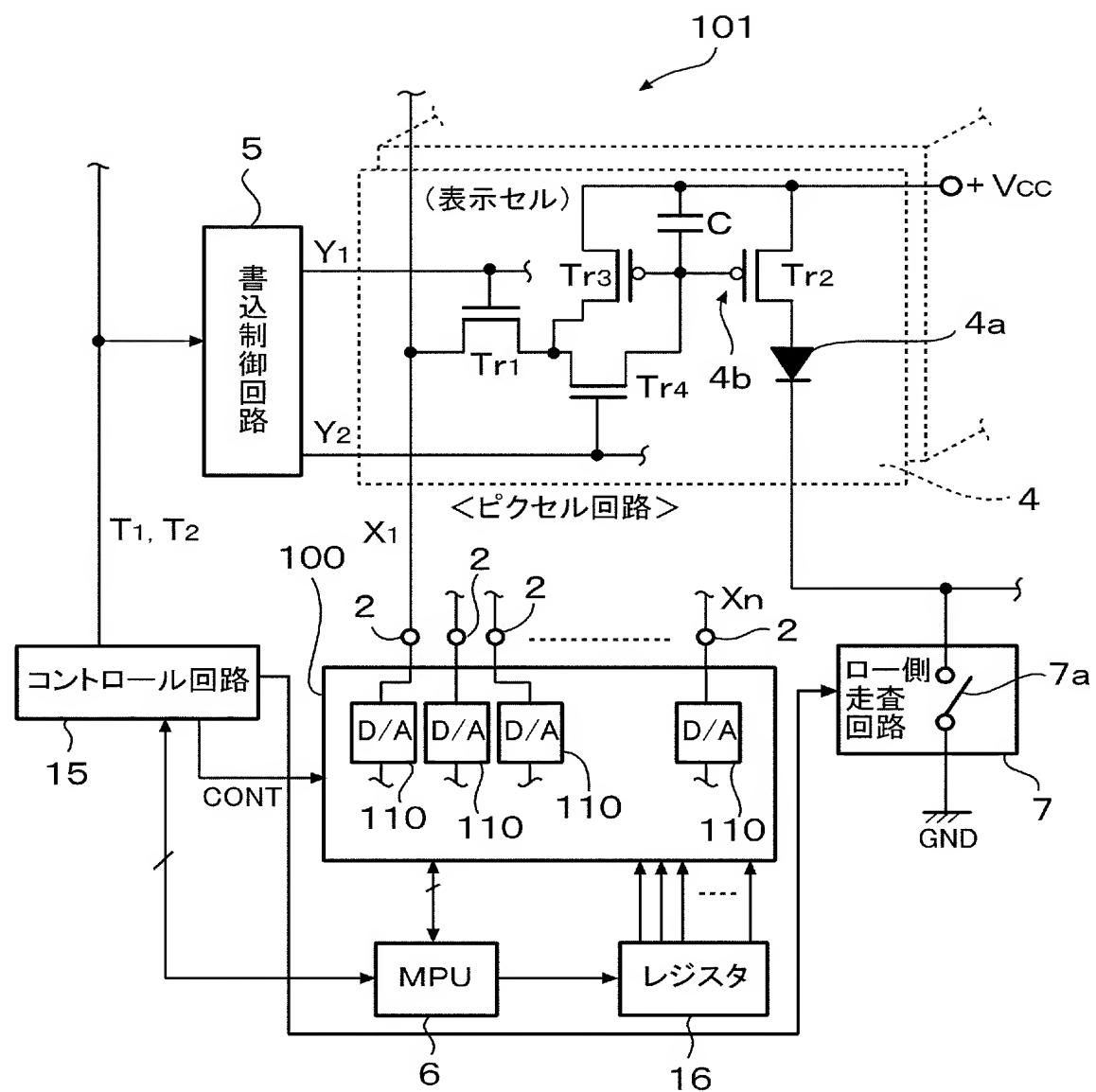
T N_a~T N_i , Q N₁~T N₆ , T N₁~T N₆…N チャネルのMOSトランジスタ。



【図2】



【図3】



【書類名】要約書

【要約】

【課題】

低電圧駆動が可能で、高精度かつ I C 化した場合に専有面積を抑えることが可能な D / A を提供することにある。

【解決手段】

この発明は、被変換データの桁位置に対応してそれぞれ設けられた複数の出力側のトランジスタを有する第 1 のカレントミラー回路により被変換データの桁位置に対応する桁重みに応じたアナログ変換電流を生成する D / A 変換回路において、被変換データの下位の桁位置に対応する出力トランジスタの 1 つの出力側に直列に設けられた第 2 のカレントミラー回路と、定電圧バイアス回路とを備えていて、第 2 のカレントミラー回路の入力トランジスタに対する出力トランジスタの動作電流比が $n : 1$ (ただし n は 1 以上の整数) に設定され、かつ、入力トランジスタおよび出力トランジスタの出力電極が定電圧バイアス回路により所定の定電圧に設定され、出力トランジスタに 1 以下の桁重みに対応する電流を少なくとも 1 つの下位の桁位置のアナログ変換電流として得るものである。

【選択図】 図 1

出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町21番地
ローム株式会社